

## BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-353831

(43)Date of publication of application : 19.12.2000

(51)Int.Cl.

H01L 39/22  
H03F 19/00

(21)Application number : 11-163213

(71)Applicant : FUJITSU LTD

INTERNATL SUPERCONDUCTIVITY  
TECHNOLOGY CENTER

(22)Date of filing : 10.06.1999

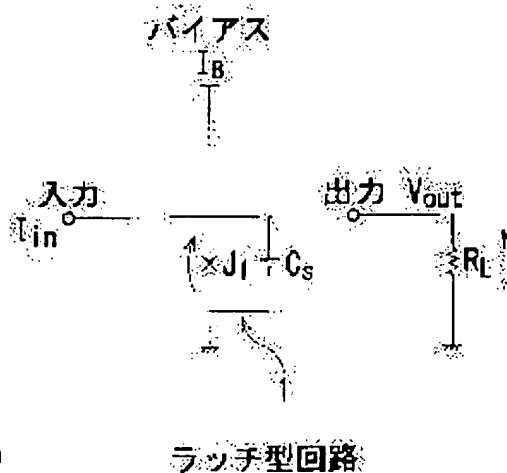
(72)Inventor : HARADA NAOKI  
YOSHIDA AKIRA

## (54) SUPERCONDUCTING JUNCTION AND SUPERCONDUCTING CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a superconducting junction which can be operated at a fast speed by low energy by making an effective Mc Cumber coefficient which depends on electrostatic capacity of a capacitor part larger than a specified value and making an operating current flowing to a junction part during generation of a voltage in a junction part larger than a minimum current value which can maintain a voltage.

SOLUTION: In a latch-type circuit, a high temperature superconducting junction can provide hysteresis to its I-V characteristic by connecting a capacitor part Cs to a junction part J1 in parallel. Furthermore, a Mc Cumber coefficient  $\beta_c$  is adjusted and the relation between an operating current  $I_{op}$  flowing to the junction part J during generation of a voltage of the junction part J and a minimum current value  $I_{min}$  which can maintain a voltage is also adjusted to surely develop hysteresis. The Mc Camber coefficient  $\beta_c$  is featured by hysteresis characteristic of a Josephson junction  $\beta_c = 2\pi I_c C R^2 / \Phi_0$ . Here,  $I_c$  is the superconducting current, C is the electrostatic capacity and  $\Phi_0$  is the magnetic flux. When  $\beta_c > 1$ , hysteresis develops.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of  
rejection][Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-353831

(P2000-353831A)

(43) 公開日 平成12年12月19日 (2000. 12. 19)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	予-71-1 (参考)
H 0 1 L 39/22	Z A A	H 0 1 L 39/22	Z A A A 4 N 1 1 3
			Z A A K
H 0 3 F 19/00	Z A A	H 0 3 F 19/00	Z A A

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願平11-163213

(22) 出願日 平成11年6月10日 (1999. 6. 10)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71) 出願人 391004481

財団法人国際超電導産業技術研究センター  
東京都港区新橋5丁目34番3号 栄進開発  
ビル6階

(72) 発明者 原田 直樹

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100072590

弁理士 井桁 貞一

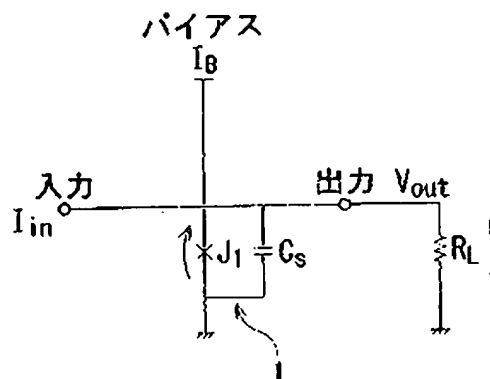
最終頁に続く

(54) 【発明の名称】 超伝導接合及び超伝導回路

(57) 【要約】

【課題】 高温超伝導体を用いたヒステリシスを有しないジョセフソン接合により超高速、低エネルギーで動作可能な超伝導接合を提供する。

【解決手段】 接合部 J<sub>1</sub> にキャパシタ部 C<sub>s</sub> を並列接続することにより、高温超伝導接合の I-V 特性にヒステリシスを持たせるとともに、マッカンバー係数  $\beta_c > 1$  且つ動作電流  $I_{op} > \text{最小電流 } I_{min}$  を満たすように、各値を調節し、回路構成を行なう。



ラッチ型回路

(2)

特開2000-353831

1

2

## 【特許請求の範囲】

【請求項1】 ジョセフソン接合を構成する一対の超伝導体からなる接合部と、  
前記接合部の前記各超伝導体に各端が接続されたキャパシタ部とを有する複合構造とされており、  
前記キャパシタ部の静電容量に依存する実効的なファッカンパー係数が1より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されていることを特徴とする超伝導接合。

【請求項2】 前記接合部及び前記キャパシタ部を有してなる前記複合構造が1段又は複数段設けられて超伝導接合を含むループが形成されていることを特徴とする請求項1に記載の超伝導接合。

【請求項3】 基板上に、層間絶縁膜を挟んで下部超伝導膜及び上部超伝導膜が積層形成されており、前記層間絶縁膜の一部に貫通孔が形成され、前記貫通孔内でバリヤ膜を介して前記下部超伝導膜及び前記上部超伝導膜の各一部が前記一対の超伝導体として前記接合部を構成するとともに、  
前記層間絶縁膜を挟んだ前記下部超伝導膜及び前記上部超伝導膜により前記キャパシタ部を構成することを特徴とする請求項1に記載の超伝導接合。

【請求項4】 バイアス電流が供給される端子と、出力信号が送出される端子と、入力信号が供給される端子とを含むとともに、1つ又は複数の超伝導接合を含むループが接続されてなる超伝導回路であって、  
前記ループは、

ジョセフソン接合を構成する一対の超伝導体からなる接合部と、  
前記接合部の前記各超伝導体に各端が接続されたキャパシタ部とを有し、  
前記キャパシタ部の静電容量に依存する実効的なファッカンパー係数が1より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されていることを特徴とする超伝導回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ジョセフソン接合を用いた超伝導接合及び超伝導回路に関する。

【0002】

【従来の技術】 超伝導回路（超伝導デジタル回路）は、超高速で動作し、消費電力が極めて低いという特徴を持っており、将来の高速情報処理システムの構成要素として期待されている。超伝導デジタル回路のうち、高温超伝導接合を用いた単一磁束量子（Single Flux Quantum：SFQ）回路は、特に超高速、低エネルギーで動作するという特徴を持っており、早急な開発への要請が高い。

【0003】

【発明が解決しようとする課題】 しかしながら、高温超伝導体を用いたSFQ回路は、その動作電圧が1（mV）程度と極めて微小値であり、この程度の電圧で半導体機器を動作させることは不可能であるため、実際の情報処理機器を構成するには単磁束量子回路の電気信号を何らかの手段で取り出し、室温環境内で機能する所定の半導体機器に接続することを要する。そこで、両者の間にインターフェイスとなる増幅回路を介させ、SFQ回路の信号振幅を半導体機器を駆動できる10（mV）程度まで増幅する必要がある。

【0004】 半導体機器へのインターフェイスとなる増幅回路としては、図15に示すように、ラッチ型の増幅回路が提案されている。図中、Jはジョセフソン接合を用いた超伝導接合、 $V_{in}$ は入力端子、 $V_{out}$ は出力端子、 $I_c$ はバイアス電流、 $R_1 \sim R_n$ は入出力分離用抵抗である。この増幅回路（いわゆるジョセフソン昇電圧ドライバ）を接続することで数十（mV）の出力を得ることができ、高電圧化し易い。このため良好なS/N比を保つことができ、誤動作の確率を減らすことができるという点で、当該増幅回路はインターフェイスとして望ましい特性を持つ。

【0005】 ところがこのラッチ型の増幅回路は、超伝導接合に電流-電圧（ $I-V$ ）特性にヒステリシスを有するニオブウム（Nb）等の金属系の低温超伝導体で実現されるものである。従って、 $I-V$ 特性にヒステリシスを持たない高温超伝導体をそのまま用いたのでは増幅回路を構成することはできないという問題がある。

【0006】 また、図16に示すように、金属系超伝導体では超伝導量子干渉デバイス（SQUID）を直列に数十個接続して電圧を上げる方法を用いた回路が提案されている。図中、 $L_1 \sim L_n$ は磁気的結合のためのインダクタ、Jはジョセフソン接合を用いた超伝導接合である。しかしこの方法により10（mV）程度の出力振幅を得るためには数百個以上の接合数が必要となり、極めて困難であって現実的でない。

【0007】 このように、高温超伝導体を用いた増幅回路は、超高速・低エネルギー動作を可能とするSFQ回路のインターフェイスとして極めて重要視されているにも係わらず、簡易且つコンパクトな構成でこれを実現することは難しいという現状にある。

【0008】 そこで本発明は、高温超伝導体を用いたヒステリシスを有しないジョセフソン接合により超高速、低エネルギーで動作可能な超伝導接合を提供することを目的とし、更にはこの超伝導接合を有し、SFQ回路と各種半導体回路との間のインターフェイスとして良好に機能する高出力の超伝導回路や、当該超伝導回路がSFQ回路及びラッチ回路と混載されてなる超伝導回路チップ、前記超伝導回路を備えた超伝導回路チップ及びこれと連結された他の超伝導回路チップを有する超伝導回路

(3)

特開2000-353831

3

システム、前記超伝導回路を備えた超伝導回路チップ及びこれと連結された各種半導体回路を有する低温-室温間の超伝導回路システムを提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、上述の課題を解決するため、以下に示す手段を有する。

【0010】第1の手段は、超伝導接合を対象としたものであり、ジョセフソン接合を構成する一対の超伝導体からなる接合部と、前記接合部の前記各超伝導体に各端が接続されたキャパシタ部とを有する複合構造とされており、前記キャパシタ部の静電容量に依存する実効的なマッカンバー係数が1より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されていることを特徴とする。

【0011】ここで、前記接合部及び前記キャパシタ部を有してなる前記複合構造を1段又は複数段設けて超伝導接合を含むループを形成しても好適である。

【0012】また、具体的前記キャパシタ部の構成は、基板上に、層間絶縁膜を挟んで下部超伝導膜及び上部超伝導膜が積層形成されており、前記層間絶縁膜の一部に貫通孔が形成され、前記貫通孔内でバリヤ膜を介して前記下部超伝導膜及び前記上部超伝導膜の各一部が前記一対の超伝導体として前記接合部を構成するとともに、前記層間絶縁膜を挟んだ前記下部超伝導膜及び前記上部超伝導膜から構成することが好適である。

【0013】第2の手段は、バイアス電流が供給される端子と、出力信号が送出される端子と、入力信号が供給される端子とを含むとともに、1つ又は複数の超伝導接合を含むループが接続されてなる超伝導回路を対象とする。この第2の手段は、前記ループが、ジョセフソン接合を構成する一対の超伝導体からなる接合部と、前記接合部の前記各超伝導体に各端が接続されたキャパシタ部とを有し、前記キャパシタ部の静電容量に依存する実効的なマッカンバー係数が1より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されていることを特徴とする。

【0014】

【作用】通常の高温超伝導接合はそのI-V特性にヒステリシスを有しないため、この接合部をそのまま用いてラッチ型回路を構成することはできない。本発明では、接合部にキャパシタ部を並列に接続することによりヒステリシスを持たせることが可能となり、更には回路構成と共に各パラメータを適正値に選ぶことにより高温超伝導接合を用いた高速で動作する安定なラッチ型回路を構成することができる。

【0015】具体的には、パラメータとして先ずマッカンバー係数 $\beta$ 、を1より大きい所定値とすれば、I-V特性にヒステリシスが現れる。本発明の超伝導接合は

4

ジョセフソン接合を持つ接合部にキャパシタ部が並列接続されているため、マッカンバー係数 $\beta$ 、がキャパシタ部の静電容量に依存し、これに比例する。従って、マッカンバー係数 $\beta$ 、を $\beta$ 、>1を満たす所定値とするには、静電容量を実効的に増加させるために所定数のキャパシタ部を並列に設ければよい。

【0016】更に、パラメータとして、接合部の電圧発生時に接合部に流れる動作電流 $I_{00}$ 、を、電圧維持可能な最小電流値 $I_{01}$ 、よりも大きくなるように設定する。即ち、 $I_{00}$ 、> $I_{01}$ 、を満たすように動作電流 $I_{00}$ 、を設定することにより、キルヒホッフの法則が成立して安定な電圧状態が現れる。

【0017】このように、接合部にキャパシタ部を並列に接続することに加え、マッカンバー係数 $\beta$ 、を $\beta$ 、>1、且つ動作電流 $I_{00}$ 、を $I_{00}$ 、> $I_{01}$ 、を満たすように設定し、例えばキャパシタ部を複数並列に接続する回路構成を行なうことにより、高温超伝導接合を用いて高速で動作する安定なラッチ型回路が実現する。

【0018】

【発明の実施の形態】以下、本発明を適用した好適な実施形態について図面を参照しながら詳細に説明する。

【0019】（第1の実施形態）先ず、第1の実施形態について述べる。ここでは、高温超伝導接合を用いたラッチ型回路の基本的（原理的）構成について例示する。図1は、本実施形態のラッチ型回路の基本的構成例を示す回路図である。図1中、 $I_{in}$ は入力端子、 $V_{out}$ は出力端子、 $I_{00}$ はバイアス電流源（不図示）から供給されたバイアス電流、 $J$ は高温超伝導接合部、 $C$ は接合部 $J$ と並列に接続されたキャパシタ部、 $R$ は負荷抵抗である。この高温超伝導接合は、YBCOを超伝導電極とする接合を想定しているが、ヒステリシスを持たない良好なジョセフソン接合であればこれに限らない。また金属系ジョセフソン接合でも微細化が進むとノンヒステリシス特性に近くなることが予想されており、本実施形態はそのような接合にも適用できる。

【0020】本実施形態のラッチ型回路においては、接合部 $J$ にキャパシタ部 $C$ を並列接続することにより、高温超伝導接合はそのI-V特性にヒステリシスを持たせることが可能となり、更には確実にヒステリシスを出現させるためにマッカンバー係数 $\beta$ 、を調節するとともに、接合部 $J$ の電圧発生時に接合部 $J$ に流れる動作電流 $I_{00}$ と電圧維持可能な最小電流値 $I_{01}$ との関係調節する。

【0021】先ず、マッカンバー係数 $\beta$ 、の調節について説明する。ジョセフソン接合のヒステリシス特性は、 $\beta_c = 2\pi I_c CR^2 / \Phi_0$ 。

によって特徴付けられる。ここで、 $I_c$ は超伝導電流、 $C$ は静電容量、 $\Phi_0$ は磁束を示す。上式において、 $\beta_c$ 、>1であればヒステリシスが現れる。高温超伝導接合は静電容量 $C$ が小さいために、 $\beta_c$ 、<1となってヒステリ

(4)

特開2000-353831

5

シスは生じないが、接合部J、に並列に所定の静電容量を有するキャパシタ部C、を接続することにより実効的な $\beta_c$ を増大化させ、ヒステリシスを持たせることができる。

【0022】続いて、動作電流 $I_{00}$ と最小電流値 $I_{min}$ との関係について説明する。ラッチ型回路を構成するために重要なもう一つのパラメータは電圧維持可能な最小電流 $I_{min}$ である。図2に図1のラッチ型回路のI-V特性曲線と負荷線との関係を示す。図2に示すように、I-V特性曲線と負荷線に2つの交点が存在し、A点は超伝導状態、B点は電圧状態を表している。ここで、B点が安定であるためには、動作電流 $I_{00}$ の値が、

$$I_{00} = I_c R_L / (R_L + R_n) > I_{min}$$

を満たす必要がある。ここで、 $R_n$ は接合のノーマル抵抗である。単一接合の $I_{min}$ は図3に示すようにマッカンバー係数 $\beta_c$ と関係があり、 $\beta_c$ が大きいほど小さくなる(川辺編「超伝導エレクトロニクス」：丸善出版)。

【0023】要するに、高温超伝導接合を用いてラッチ型回路を構成するために必要な条件は、 $\beta_c > 1$ かつ $I_{00} > I_{min}$ を満たすことである。

【0024】本実施形態のラッチ型回路では出力電圧を高くするため、図4に示すように、ジョセフソン接合を複数段直並列に接続しても好適である。具体的には、超伝導接合として、接合部J、及びキャパシタ部C、を有してなる複合構造が複数段(図示の例ではN=4段)直列に接続され、更にこれら複合構造が設けられた枝が複数本(図示の例では2本)並列に接続される。

【0025】このように構成されたラッチ型回路において、 $\beta_c$ と $I_{00}$ 、 $I_{min}$ の関係を回路シミュレーションにより調べた。仮定した接合の特性は $I_c = 250$  ( $\mu$ A)、 $R_n = 8$  ( $\Omega$ )とし、 $R_L = 50$  ( $\Omega$ )とした。Nを1本の枝における前記複合構造の段数とし、N=4、10の場合について、 $I_{00}$ 、 $I_{min}$ の $C_s$ (ひいては $\beta_c$ )依存性を調べた結果を図5に示す。この図から、N=4の場合は、 $C_s > 0.07$  (pF)、N=10では、 $C_s > 0.3$  (pF)で $\beta_c > 1$ と $I_{00} > I_{min}$ の条件を共に満たし、ラッチ型回路が構成できることが判る。このように、Nが大きいほど大きな $C_s$ が必要となる。

【0026】次に、N=10の場合における、ラッチ型回路の出力端子 $V_{out}$ からの出力電圧の立ち上がり時間 $\tau$ の $C_s$ 依存性を調べた結果を図6に示す。 $C_s$ が大きいくとも大きくなり、増幅器として要求される高速性の制限から $C_s$ の上限が決まる。10 (GHz)で動作させるためには立ち上がり時間は15 (ps)程度が必要と考えられ、 $C_s < 1$  (pF)を満たすことを要する。即ち、N=10のとき、

$$0.3 \text{ (pF)} < C_s < 1 \text{ (pF)}$$

となる。

5

【0027】このように、前記複合構造の段数(N値)によって異なるものの、 $\beta_c > 1$ 及び $I_{00} > I_{min}$ の要請と増幅器に要求される高速性の要請との調和を考慮すれば、 $C_s$ の適正値は概ね、

$$0.1 \text{ (pF)} < C_s < 1 \text{ (pF)}$$

と見積もることが妥当であると考えられる。

【0028】なお、最小電流 $I_{min}$ は接合部J、に流れるバイアス電流 $I_c$ の周波数にも依存するため、図5に示した特性が唯一のものではなく、従って $C_s$ も動作周波数にあわせて設計する必要がある。シミュレーションによれば動作周波数が高くなるほど $I_{min}$ は小さくなる傾向が見られた。

【0029】以上を踏まえ、本実施形態のラッチ型回路の回路動作を計算機シミュレートした結果を図7に示す。(a)が入力端子 $I_{in}$ からの入力電流及びバイアス電流 $I_c$ の時間変化の様子を、(b)がこれらに伴った出力端子 $V_{out}$ からの出力電圧の時間変化の様子をそれぞれ示している。各条件としては、入力電流を50 ( $\mu$ A)、バイアス電流を220 ( $\mu$ A)とし、 $C_s$ を1 (pF)、 $\beta_c$ を50とした。図7(a)、(b)から、確かに良好なラッチ動作が実現しており、2 (mV)の出力電圧が得られたことが判る。

【0030】ここで、本実施形態のラッチ型回路における構造上の特徴について、特に接合部J、とキャパシタ部C、からなる複合構造を有する超伝導接合1の構造について説明する。超伝導接合1は、図8に示すように、基板2上に、層間絶縁膜3を挟んで下部超伝導膜4及び上部超伝導膜5が積層形成されており、層間絶縁膜3の一部に貫通孔6が形成され、貫通孔6内でバリア膜7を介して下部超伝導膜4及び上部超伝導膜5の各一部が対向して接合部J、が形成されるとともに、層間絶縁膜3を挟んだ下部超伝導膜4及び上部超伝導膜5によりキャパシタ部C、が形成されて構成されている。

【0031】ここで、層間絶縁膜3はいわゆるLAST (La<sub>0.8</sub> Sr<sub>0.2</sub> (Al<sub>0.8</sub> Ta<sub>0.2</sub>) O<sub>2</sub>)を、下部超伝導膜4及び上部超伝導膜5はYBCO (YBa<sub>2</sub> Cu<sub>3</sub> O<sub>7-x</sub>)を、バリア膜7はITO (Indium Tin Oxide: SnをドーブしたInO<sub>x</sub>)をそれぞれ材料とする導膜である。層間絶縁膜3の厚みdは200 nm程度とされ、バリア膜7は臨界電流が250 ( $\mu$ A)、トンネル抵抗が8 ( $\Omega$ )のものである。

【0032】このような接合において、臨界電流密度として10 (kA/cm<sup>2</sup>)程度、超伝導電流 $I_c$ とノーマル抵抗 $R_n$ との積 $I_c R_n$ として1 (mV)程度が期待できる。マッカンバー係数 $\beta_c$ の大きさは下部超伝導膜4と上部超伝導膜5との重なり面積に依存するため、 $\beta_c$ として $\beta_c > 1$ を満たす所定値を得るには、上部超伝導膜5の面積が接合部J、の面積の10倍以上とする必要がある。具体的には、接合部J、を一辺W、が2  $\mu$ m程度の矩形とし、接合部J、上の上部超伝導膜5を一

(S)

特開2000-353831

7

辺 $W$ 、が $9\mu\text{m}$ 程度の矩形とすると、上部超伝導膜5の面積が接合部 $J$ 、の面積の約20倍となり、実効的な $\beta$ 、を7程度とすることができる。

【0033】また、接合部 $J$ 、の周辺の層間絶縁膜を高誘電率、実効性を考慮すれば100以上の誘電率を有する材料で形成することにより、上部超伝導膜5の面積を縮小化させることができる。具体的には、図9に示すように、接合部 $J$ 、の周辺に高誘電膜である $\text{SrTiO}_3$ 、薄膜8を形成する。この $\text{SrTiO}_3$ 、は温度60(K)付近で比誘電率が約1000となる材料であり、図8の構成と同等の $\beta$ 、を得るためには、接合部 $J$ 、上の上部超伝導膜5を矩形状であれば辺 $W$ 、が $2.2\mu\text{m}$ 程度のものとすれば良い。従ってこの場合、上部超伝導膜5の面積を接合部 $J$ 、の面積より10%程度大きくするだけで済むため、超伝導接合の微小化に寄与することになる。

【0034】以上説明したように、第1の実施形態によれば、接合部 $J$ 、にキャパシタ部 $C$ 、を並列に接続することに加え、マッカンバー係数 $\beta$ 、を $\beta$ 、 $>1$ 、且つ動作電流 $I_{00}$ 、を $I_{00}>I_{010}$ 、を満たすように設定し、例えばキャパシタ部 $C$ 、を複数直並列に接続する回路構成を行なうことにより、高温超伝導体を用いたヒステリシスを有しないジョセフソン接合により超高速、低エネルギーで動作する安定なラッチ型回路が実現する。

【0035】(第2の実施形態)次に、本発明の第2の実施形態について説明する。この第2の実施形態では、高温超伝導接合を用いた単一磁束量子(SFQ)回路とラッチ型回路とのインターフェイスとして機能するSFQ/ラッチ変換回路について例示する。なお、第1の実施形態で説明した構成部材等と同一のものについては同符号を記して説明を省略する。

【0036】図10は、本実施形態のSFQ/ラッチ変換回路の一例を示す回路図である。図中、 $V_{in}$ は入力端子、 $V_{out}$ は出力端子、 $I_b$ はバイアス電流、 $J_1$ 、 $J_2$ は高温超伝導接合部、 $C_{s1}$ 、 $C_{s2}$ は接合部 $J_1$ 、 $J_2$ とそれぞれ並列に接続されたキャパシタ部、 $R_L$ は負荷抵抗である。ここで、 $J_2$ と $C_{s1}$ の複合構造を有する超伝導接合11及び $J_1$ と $C_{s2}$ からなる複合構造を有する超伝導接合12では、第1の実施形態と同様にマッカンバー係数 $\beta$ 、動作電流 $I_{00}$ 及び最小電流 $I_{010}$ について、 $\beta$ 、 $>1$ 且つ $I_{00}>I_{010}$ が成立するように調節されている。

【0037】ここで、入力端子 $V_{in}$ に接続されたSFQ回路から超伝導状態のSFQパルスが入力すると、超伝導接合11、12がほぼ同時に安定的に電圧状態に移移し、出力端子 $V_{out}$ から所期の安定した電圧状態の出力が得られることになる。

【0038】本実施形態のSFQ/ラッチ変換回路では出力電圧を高くするため、図11に示すように、上記の例で $J_2$ と $C_{s1}$ からなる複合構造を有する超伝導接合1

8

2が設けられてなるループ10において、ジョセフソン接合を複数個直並列に接続しても好適である。具体的には、超伝導接合として、超伝導接合12の複合構造が複数段(図示の例では $N=10$ 段)直列に接続され、更にこれら複合構造が設けられた枝が複数本(図示の例では2本)並列に接続される。この場合、ループ10の各接合部 $J$ 、のバリア膜は各々独立に設けられており、共有にはされていない。

【0039】この変換回路も第1の実施形態と同様に単一磁束量子(SFQ)パルスで動作する。当該多段構造の超伝導接合のループを備えた変換回路における動作電流 $I_{00}$ は $280(\mu\text{A})$ であり、前述の図5によれば $C_s$ は $0.3\text{pF}$ 以上であれば $I_{00}>I_{010}$ の要件を満たし、十分な増幅効果を得るためには例えば $1(\text{pF})$ とすれば良い。

【0040】以上説明したように、第2の実施形態によれば、接合部 $J_1$ 、 $J_2$ にキャパシタ部 $C_{s1}$ 、 $C_{s2}$ を並列に接続することに加え、マッカンバー係数 $\beta$ 、を $\beta$ 、 $>1$ 、且つ動作電流 $I_{00}$ 、を $I_{00}>I_{010}$ 、を満たすように設定し、例えば $J_2$ と $C_{s1}$ からなる複合構造を複数直並列に接続してループを形成し回路構成を行なう。これにより、超高速、低エネルギーで動作する安定なラッチ動作が可能となり、SFQ回路とラッチ型回路との好適なインターフェイスが実現する。

【0041】(第3の実施形態)次に、本発明の第3の実施形態について説明する。この第3の実施形態では、超伝導体を用いた情報処理装置において、高温超伝導接合を用いた単一磁束量子(SFQ)回路及びラッチ型回路と第2の実施形態で説明したSFQ/ラッチ変換回路とを1チップ内に複載した例について説明する。なお、第2の実施形態で説明した構成部材等と同一のものについては同符号を記して説明を省略する。

【0042】図12は、本実施形態の混載チップの構成を示す模式図である。図示の如く、この複載チップ31は、SFQ回路21とラッチ型回路22とが両者の隙間として機能する第2の実施形態のSFQ/ラッチ変換回路23(図10参照)を介して接続され、1チップ内に複載され構成されている。このように、高速の処理が必要な部分にはSFQ回路21を用い、メモリ周辺回路のような高速の駆動能力を必要とする部分にはラッチ型回路22を用いる。

【0043】第3の実施形態によれば、SFQ回路21及びラッチ型回路22と共に変換回路23を1チップ内に混載することにより、超高速、低エネルギーで動作する安定なラッチ動作を可能とするのみならず、半導体チップ等に要求される小型化の要請に十分に 대응することができる。

【0044】(第4の実施形態)次に、本発明の第4の実施形態について説明する。この第4の実施形態では、SFQ回路システムのチップ間インターフェイスについ

9

て例示する。なお、第3の実施形態で説明した構成部材等と同一のものについては同符号を記して説明を省略する。

【0045】図13は、第4の実施形態のSFQ回路システムの構成を示す模式図である。図示の如く、このシステムは、SFQ回路21及びこのSFQ回路21に接続された第2の実施形態のSFQ/ラッチ変換回路23（図10参照）が搭載されたチップ32と、少なくともSFQ回路24を搭載したチップ33とを有しており、チップ32とチップ33との間で両者を連結する伝送路25を介して電気信号の授受が行なわれるものである。距離の長いチップ間で信号の授受を行なうには素子に高い駆動能力が必要であり、それにはラッチ型回路が適している。

【0046】第4の実施形態によれば、チップ間インターフェイスの駆動回路として変換回路23を用い、超高速、低エネルギーで動作する安定なラッチ動作を可能とするのみならず、チップ32、33間の離間距離が比較的長い場合でも、両者間で正確且つ迅速な信号伝達を行なうことが可能となる。

【0047】（第5の実施形態）次に、本発明の第5の実施形態について説明する。この第5の実施形態では、SFQ回路と室温の機器間のインターフェイスについて例示する。なお、第3の実施形態で説明した構成部材等と同一のものについては同符号を記して説明を省略する。

【0048】図14は、第5の実施形態のSFQ/半導体回路システムの構成を示す模式図である。図示の如く、このシステムは、低温下において機能するSFQ回路21及びこのSFQ回路21に接続された第2の実施形態のSFQ/ラッチ変換回路26が搭載されたチップ34と、所定のアンブ28及び室温下において機能する所期の半導体回路35とを有しており、チップ34と半導体回路35との間で両者を連結する伝送路27を介して電気信号の授受が行なわれるものである。ここで、変換回路26としては、高い増幅機能が要求されるため、図11に示す多段構造のループ10を備えた変換回路を適用すれば良い。S/Nの向上のためには高い出力電圧が必要であり、それにはやはりラッチ型回路が適している。

【0049】第5の実施形態によれば、低温・室温間インターフェイスの駆動回路として変換回路26を用い、超高速、低エネルギーで動作する安定なラッチ動作を可能とするのみならず、SFQ回路21と半導体回路35間における高いS/Nの正確且つ迅速な信号伝達を行なうことが可能となる。

【0050】なお、以下に示すような種々の態様も本発明の内容をなす。

【0051】本発明の超伝導接合の一態様においては、前記キャパシタ部の静電容量が0.1(pF)～10

(6)

特開2000-353831

10

(pF)の範囲内の所定値とされている。

【0052】本発明の超伝導接合の一態様において、前記キャパシタ部は、前記接合部の積層方向に当該接合部と電気的に並列となるように設けられている。

【0053】本発明の超伝導接合の一態様においては、前記上部超伝導膜の面積が前記接合部の面積の10倍以上の所定値とされている。

【0054】本発明の超伝導接合の一態様においては、前記層間絶縁膜の少なくとも前記接合部近傍の部位が100以上の比誘電率を有する絶縁材料からなる。

【0055】本発明の超伝導接合の一態様において、少なくとも1つの前記ループは、前記接合部及び前記キャパシタ部を有してなる前記複合構造が複数段直列に接続され、更に複数段の前記複合構造の枝が複数本並列に接続されて形成されてなるものである。

【0056】本発明の超伝導回路チップは、単一磁束量子回路と、ラッチ回路と、前記単一磁束量子回路と前記ラッチ回路との間に介在する超伝導回路とが同一チップ内に混載されてなる超伝導回路チップであって、前記超伝導回路は、バイアス電流が供給される端子と、出力信号が送出される端子と、入力信号が供給される端子とを含むとともに、1つ又は複数の超伝導接合を含むループが接続されてなるものであり、前記ループは、ジョセフソン接合を構成する一対の超伝導体からなる接合部と、前記接合部の前記各超伝導体に各端が接続されたキャパシタ部とを有し、前記キャパシタ部の静電容量に依存する実効的なマッカンバー係数が1より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されている。

【0057】本発明の超伝導回路チップの一態様において、少なくとも1つの前記ループは、前記接合部及び前記キャパシタ部を有してなる前記複合構造が複数段直列に接続され、更に複数段の前記複合構造の枝が複数本並列に接続されて形成されてなるものである。

【0058】本発明の超伝導回路システムは、単一磁束量子回路と、前記単一磁束量子回路に接続された超伝導回路とを備えた第1の超伝導回路チップと、少なくとも単一磁束量子回路を備えた第2の超伝導回路チップとが設けられており、前記第1の超伝導回路チップと前記第2の超伝導回路チップとの間で両者を連結する伝送路を介して電気信号の授受が行なわれる超伝導回路システムであって、前記超伝導回路は、バイアス電流が供給される端子と、出力信号が送出される端子と、入力信号が供給される端子とを含むとともに、1つ又は複数の超伝導接合を含むループが接続されてなるものであり、前記ループは、ジョセフソン接合を構成する一対の超伝導体からなる接合部と、前記接合部の前記各超伝導体に各端が接続されたキャパシタ部とを有し、前記キャパシタ部の静電容量に依存する実効的なマッカンバー係数が1より



(7)

特開2000-353831

11

大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されている。

【0059】本発明の超伝導回路システムの一態様において、少なくとも1つの前記ループは、前記接合部及び前記キャパシタ部を有してなる前記複合構造が複数段直列に接続され、更に複数段の前記複合構造の枝が複数本並列に接続されて形成されてなるものである。

【0060】本発明の超伝導回路システムは、単一磁束量子回路と、前記単一磁束量子回路に接続された超伝導回路とを有し、低温環境内で機能する超伝導回路チップと、室温環境内で機能する半導体回路とが設けられており、前記超伝導回路チップと前記半導体回路との間で両者を連結する伝送路を介して電気信号の授受が行なわれることを特徴とする超伝導回路システムであって、前記超伝導回路は、バイアス電流が供給される端子と、出力信号が送出される端子と、入力信号が供給される端子とを含むとともに、1つ又は複数の超伝導接合を含むループが接続されてなるものであり、前記ループは、ジョセフソン接合を構成する一対の超伝導体からなる接合部と、前記接合部の前記各超伝導体に各端が接続されたキャパシタ部とを有し、前記キャパシタ部の静電容量に依存する実効的なマッカンバー係数が1より大きく、且つ前記接合部の電圧発生時に前記接合部に流れる動作電流が電圧維持可能な最小電流値よりも大きくなるように設定されている。

【0061】本発明の超伝導回路システムの一態様において、少なくとも1つの前記ループは、前記接合部及び前記キャパシタ部を有してなる前記複合構造が複数段直列に接続され、更に複数段の前記複合構造の枝が複数本並列に接続されて形成されてなるものである。

【0062】

【発明の効果】本発明によれば、高温超伝導体を用いたヒステリシスを有しないジョセフソン接合により超高速、低エネルギーで動作可能な超伝導接合を提供することを目的とし、更には超伝導接合を有し、SFQ回路と各種半導体回路との間のインターフェイスとして良好に機能する高出力の超伝導回路や、当該超伝導回路がSFQ回路及びラッチ回路と混載されてなる超伝導回路チップ、前記超伝導回路を備えた超伝導回路チップ及びこれと連結された他の超伝導回路チップを有する超伝導回路システム、前記超伝導回路を備えた超伝導回路チップ及びこれと連結された各種半導体回路を有する超伝導回路システムを実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施形態のラッチ型回路の基本的構成例を示す回路図である。

【図2】図1に示したラッチ型回路のI-V特性曲線と負荷線との関係を示す特性図である。

【図3】単接合の電圧維持可能な最小電流 $I_{min}$ とマッ

12

カンバー係数 $\beta_c$ との関係を示す特性図である。

【図4】接合部及びキャパシタ部を有してなる複合構造を複数段直列に接続されたラッチ型回路の基本的構成例を示す回路図である。

【図5】複数の段数が4及び10の場合について、動作電流 $I_{op}$ 、最小電流 $I_{min}$ のキャパシタ部の容量C、(ひいてはマッカンバー係数 $\beta_c$ )依存性を示す特性図である。

【図6】複数の段数が10の場合における、ラッチ型回路の出力端子 $V_{out}$ からの出力電圧の立ち上がり時間 $\tau_c$ のC、依存性を示す特性図である。

【図7】第1の実施形態のラッチ型回路の回路動作を計算機シミュレートした結果を示す特性図である。

【図8】第1の実施形態のラッチ型回路における構造上の特徴である複合構造を示す概略断面図である。

【図9】前記複合構造の他の例を示す概略断面図である。

【図10】第2の実施形態のSFQ/ラッチ変換回路の一例を示す回路図である。

【図11】SFQ/ラッチ変換回路の超伝導接合のループにおいて、複合構造を複数段直列に接続された一例を示す回路図である。

【図12】第3の実施形態の混載チップの構成を示す模式図である。

【図13】第4の実施形態のSFQ回路システムの構成を示す模式図である。

【図14】第5の実施形態のSFQ/半導体回路システムの構成を示す模式図である。

【図15】従来のラッチ型の増幅回路の一例を示す回路図である。

【図16】SQUIDを直列に数十個接続して電圧を上げる方法を適用した従来の増幅回路の一例を示す回路図である。

【符号の説明】

- 1, 11, 12 超伝導接合
- 2 基板
- 3 層間絶縁膜
- 4 下部超伝導膜
- 5 上部超伝導膜
- 6 貫通孔
- 7 バリヤ膜
- 8 SFTIO, 薄膜
- 10 ループ
- J<sub>1</sub> ~ J<sub>n</sub> 接合部
- C<sub>1</sub>, C<sub>2</sub>, C<sub>3</sub>, キャパシタ部 (の静電容量)
- 21, 24 SFQ回路
- 22 ラッチ型回路
- 23, 26 SFQ/ラッチ変換回路
- 25, 27 伝送路
- 28 アンブ

(8)

特開2000-353831

13

14

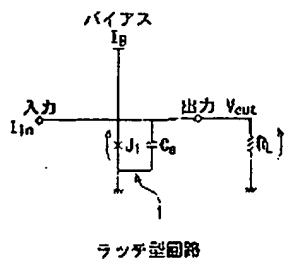
31 複域チップ

\* 35 半導体回路

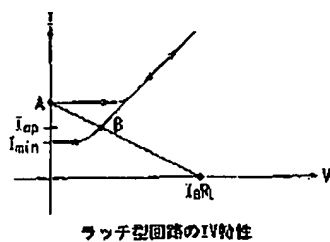
32, 33, 34 チップ

\*

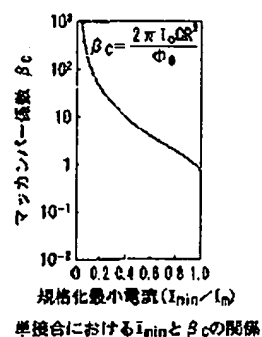
【図1】



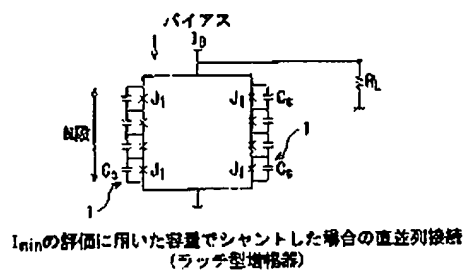
【図2】



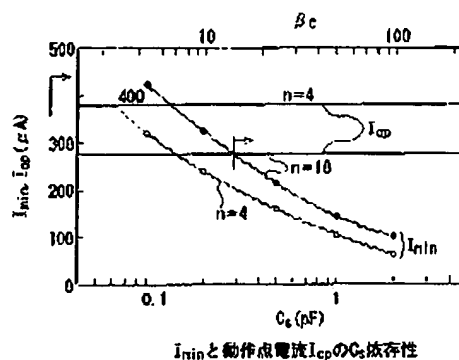
【図3】



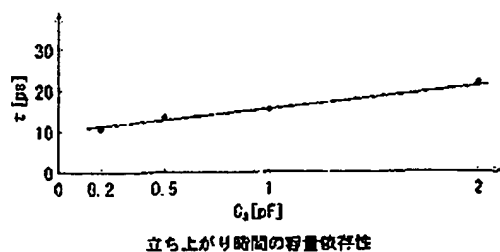
【図4】



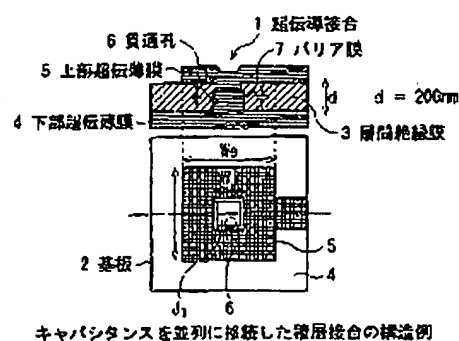
【図5】



【図6】



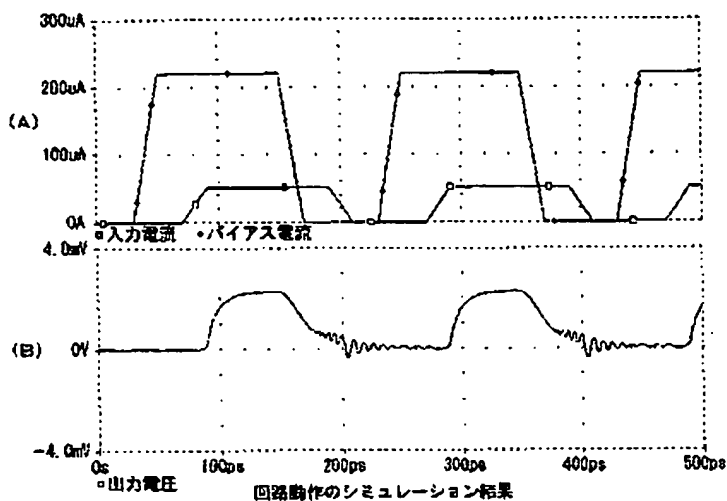
【図8】



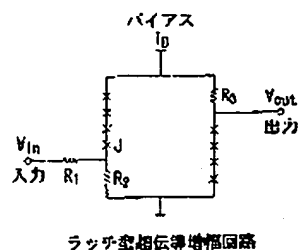
(9)

特開2000-353831

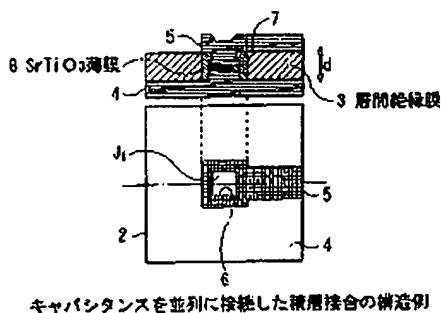
【図7】



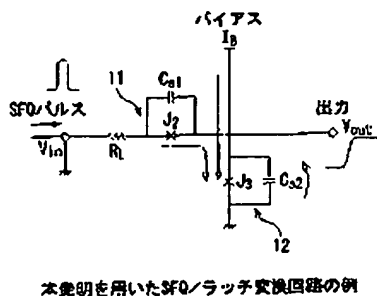
【図15】



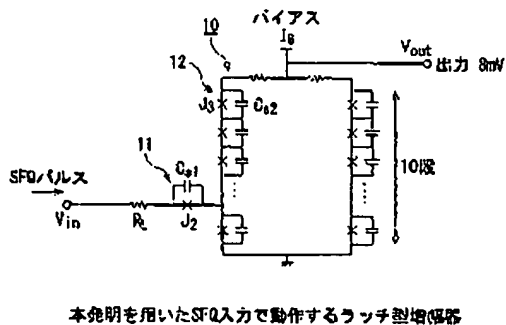
【図9】



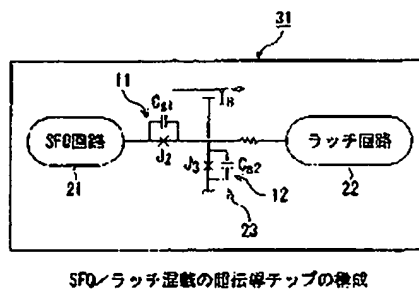
【図10】



【図11】



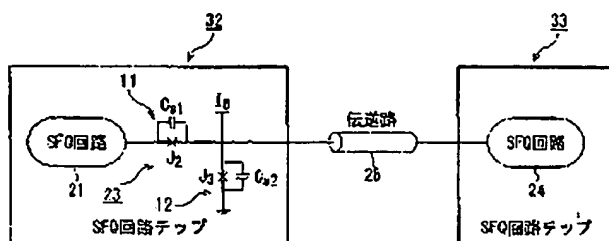
【図12】



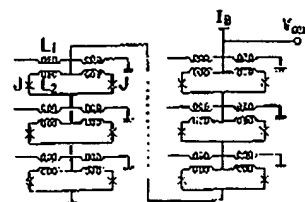
(10)

特開2000-353831

【図13】

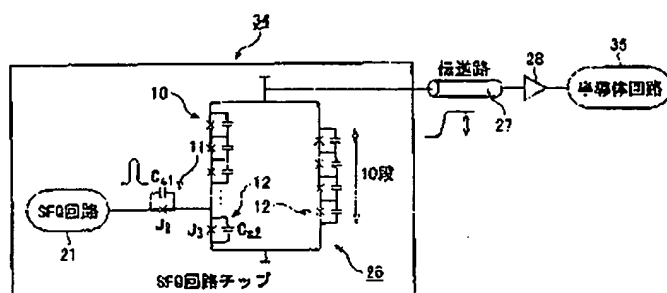
チップ間インターフェイスに本発明を用いた  
SFQ回路チップの構成

【図16】



従来のSQUID増幅器

【図14】

低温・室温間インターフェイスに本発明を用いた  
超伝導システムの構成

フロントページの続き

(72)発明者 吉田 晃  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

Fターム(参考) 4K113 AA06 AA16 AA24 AD01 AD14  
AD18 AD21 AD57 AD58 CA34



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000353831 A

(43) Date of publication of application: 19.12.00

(51) Int. Cl.

H01L 39/22  
H03F 19/00

(21) Application number: 11163213

(22) Date of filing: 10.06.99

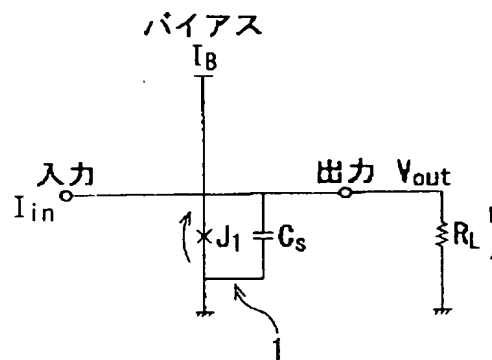
(71) Applicant: FUJITSU LTD INTERNATL  
SUPERCONDUCTIVITY  
TECHNOLOGY CENTER(72) Inventor: HARADA NAOKI  
YOSHIDA AKIRA(54) SUPERCONDUCTING JUNCTION AND  
SUPERCONDUCTING CIRCUITand  $\Phi_0$  is the magnetic flux. When  $\beta c > 1$ , hysteresis develops.

(57) Abstract:

COPYRIGHT: (C)2000,JPO

PROBLEM TO BE SOLVED: To obtain a superconducting junction which can be operated at a fast speed by low energy by making an effective Mc Cumber coefficient which depends on electrostatic capacity of a capacitor part larger than a specified value and making an operating current flowing to a junction part during generation of a voltage in a junction part larger than a minimum current value which can maintain a voltage.

SOLUTION: In a latch-type circuit, a high temperature superconducting junction can provide hysteresis to its I-V characteristic by connecting a capacitor part  $C_s$  to a junction part  $J_1$  in parallel. Furthermore, a Mc Cumber coefficient  $\beta c$  is adjusted and the relation between an operating current  $I_{op}$  flowing to the junction part  $J$  during generation of a voltage of the junction part  $J$  and a minimum current value  $I_{min}$  which can maintain a voltage is also adjusted to surely develop hysteresis. The Mc Cumber coefficient  $\beta c$  is featured by hysteresis characteristic of a Josephson junction  $\beta c = 2\pi I_c C R^2 / \Phi_0$ . Here,  $I_c$  is the superconducting current,  $C$  is the electrostatic capacity



ラッチ型回路

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**